

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

00667150 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 55-154750 [JP 55154750 A]

PUBLISHED: December 02, 1980 (19801202)

INVENTOR(s): ISHIWATARI HIROYUKI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 54-062829 [JP 7962829]

FILED: May 22, 1979 (19790522)

INTL CLASS: [3] H01L-021/88

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins)

JOURNAL: Section: E, Section No. 46, Vol. 05, No. 27, Pg. 121,  
February 18, 1981 (19810218)

### ABSTRACT

PURPOSE: To prevent disconnection of a semiconductor device by laminating a silicon oxide layer having higher etching speed than an insulating film on an electrode on the film and forming round corner at a connecting hole of the film by utilizing the difference of the etching speed therebetween to form a gentle slope curve in cross section at the hole.

CONSTITUTION: An aluminum electrode 2 is formed through an SiO<sub>2</sub> film 2 on a semiconductor substrate 1, and a PSG21 is coated thereon. Further, a solution in which SiOH<sub>4</sub> is dissolved in ethanol is coated thereon and heat treated to form an SiO<sub>2</sub> film 22 on the surface of the PSG21 by means of dehydration and condensation. When a resist mask 22 is coated thereon and etched with gas plasma of F<sub>4</sub>+O<sub>2</sub>, a wiring hole 25 having a low gradient is formed at the side surface 26 of the hole due to the difference of the etching speeds therebetween. When the resist is removed and a wiring is formed thereon, the wire is not reduced in thickness at the side surface 26 and eliminates its disconnection.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

3262882

Basic Patent (No,Kind,Date): JP 55154750 A2 801202 <No. of Patents: 001>

**MANUFACTURE OF SEMICONDUCTOR DEVICE (English)**

Patent Assignee: FUJITSU LTD

Author (Inventor): ISHIWATARI HIROYUKI

IPC: \*H01L-021/88;

JAPIO Reference No: \*050027E000121;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
<b>JP 55154750</b>	A2	801202	JP 7962829	A	790522 (BASIC)

Priority Data (No,Kind,Date):

JP 7962829 A 790522

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭55-154750

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/88

識別記号 庁内整理番号  
7210-5F

⑬ 公開 昭和55年(1980)12月2日  
発明の数 1  
審査請求 未請求

(全3頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭54-62829  
⑯ 出 願 昭54(1979)5月22日  
⑰ 発明者 石渡広行

川崎市中原区上小田中1015番地  
富士通株式会社内  
⑮ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑯ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に形成した電極上に絶縁膜を被覆し、さらにその表面を硅素化合物を含む溶液の點滴によって生成した上記絶縁膜よりも遠いエントラル速度を有する無素化物層で被覆し、しかる後、前記電極の所定の接続部位に対応した前記無素化物層及び絶縁膜を共通のリストバーナンによる選択したエッチング操作によって開孔せしめ、当該開孔部にテープを押つた電極絶縁膜を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に半導体装置の電極絶縁膜の形成方法の改良に関するものである。

半導体装置において一般に絶縁膜で被覆された電極とその絶縁膜上に配置する配線とを接続する場合、前記電極の接続部位上の絶縁膜に配線接続

部を形成する手段がとられている。たとえば従来第1図に示すように半導体基板1上にシリコン酸化膜2を介してアルミニウム等を蒸着しフォトエッチング等によつて所望の電極3を形成し、その上でシリコン酸化膜あるいはPSG(リンガラス)等の絶縁膜4を被覆形成し、前記電極の所定接続部位に対応した前記絶縁膜4を熱処理して電極部絶縁膜5を形成していた。しかしながら前記絶縁膜5が形成された絶縁膜5の表面もが凹凸のよう急速に切り立つて穴あけされているので、その後において前記絶縁膜5上にアルミニウム等の配線7を蒸着形成させたとき、前記絶縁膜5の角部分と表面もにおいて、前記配線7の端部が他の部分より多くなつたり、また時に不連続状となり接続7の断面が発生し易い欠点があり信頼性の低下が免れなかつた。

本発明は上記従来の欠点に鑑みてされたもので、その目的は、電極上の絶縁膜に形成する配線接続部をその角部分に丸みを押たせ、しかも表面が滑らか無駆状となるように形成し、その上に配線する

表面記録の断層発生を防止して信頼性を向上せんとするものである。この目的を達成するため、本発明の半導体基板の製造方法は、半導体基板上に形成した電極上に絶縁膜を被覆し、さらにその表面に硅素化合物を含む溶液を塗布して、熱処理によつて生成した上記絶縁膜よりも遠いエクシング速度を有する絶縁膜を被覆し、しかる後、前記電極の所定の溝線部位に対応した前記硅素化合物膜及び絶縁膜を共通のレジストパターンにより選択したエクシング操作によつて開穴せしめ、当該開穴部にテーパを持つ前記絶縁膜を形成することを得てとしている。

以下四図を用いて本発明の一実施例を詳細に説明する。第2図、第3図及び第4図は本発明の一実施例の工程説明図である。なお、第1図と角等部分には同符号を記した。まず、第2図に示すように、半導体基板1上にシリコン酸化膜2を介してアルミニウム等を層層し、フォトエクシングによつて所望の電極3を形成する。その基板上に例えばド90（リングガラス）からなる絶縁ガラス膜

21をCVD法（化学気相堆積法）等によつて被覆形成する。さらに該絶縁ガラス膜21上に硅素化合物を含む溶液、たとえば硅素水素化物（SiH<sub>4</sub>）等、またはその低分子量合体などをエタノール等の有機溶媒に溶解した溶液を塗布する。この場合、フォトレジスト塗布用の回転塗布機を適用するのが簡便である。塗布後、予備乾燥を行い、その後500°C以下の熱処理によつて前記絶縁ガラス膜21表面が前記塗布層の脱水結合によつて生成された硅素化合物被覆層22で被覆される。しかる後、前記電極3の所定記録部位に対応した前記硅素化合物被覆層22上にレジスト膜23により開穴パターン24を形成すべし。次いでP<sub>1</sub>（四沸化炭素）とし、ガスからなるガスマスクマエクシング法を用いて、第3図に示すように前記電極3上の開穴パターン24部に露出せる前記硅素化合物被覆層22、次いでその下のP<sub>2</sub>（SiO<sub>2</sub>）からなる絶縁ガラス膜21を膜に選択的にエクシングする。ただし、この場合、前記開穴パターンに露

8

4

出する前記硅素化合物被覆層22は、その下に形成されている絶縁ガラス膜21よりも該層のエクシング速度を有しているので、レジスト膜23より形成されたパターンエクシングよりも前記硅素化合物被覆層22が図示のようにアンダカット状に入り込んでエクシングされるので、同時に選択してその下に露出した前記絶縁ガラス膜21のエクシングが、前記アンダカット部分にまで達成され、その結果、第4図に示すごとく、前記絶縁ガラス膜21に開穴された記録膜窓25は、各周囲のエクシング速度の違いから、その表面方向にもオーバエクシングされ、表面部26が長いテーパ状をなす記録膜窓25が形成されることとなる。しかる後、前記レジスト膜23及び硅素化合物被覆層22を除去し形成された前記記録膜窓25上に第4図に示すようにアルミニウム等の層層により最終記録27を形成すれば、従来のどと記録膜窓の角出分や表面において前記記録25の膜厚が薄くなる心配はなく、また断層も解消される。なお、前記絶縁ガラス膜21に開穴する装置は

25の端部部分は、前記硅素水素化物またはその低分子量合体などと、エタノール等の有機溶媒との混合比を変えて用いることにより調整し得るものであり、また本実施例では記録膜窓25を開穴する電極上の絶縁膜にド90からなる絶縁ガラス膜21を用いた例で説明したが、本発明はこれに限定されるものではなく、たとえば二酸化シリコン（SiO<sub>2</sub>）膜、あるいは窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）膜及び一酸化シリコン（SiO）膜を用いた場合にも本発明が適用可能なことはいうまでもない。

以上説明したように本発明によれば、記録膜窓を開穴する電極上の絶縁膜表面に硅素水素化物またはその低分子量合体を有機溶媒に溶解した溶液を塗布して熱処理により硅素化物（SiH<sub>4</sub>）等の絶縁膜を形成し、この硅素化合物被覆層とその下の絶縁膜とのアラスマエクシング速度の差を利用して記録膜窓を所望の傾斜をもたせて形成するものであるから、形成された電極記録膜窓の角出分及び表面が長い傾斜状となり、その上に記録する記録膜の断層が解消され、信頼性が向上す

5

6

る。また多層配線の層間を接続させるのに配線層間の接線溝に接線穴を形成する場合にも本発明が適用できることは効能である。

#### 4. 四圖の簡単な説明

第1図は従来の電極配線接続構造を説明する要部断面図、第2図、第3図及び第4図は本発明に係る一実施例を説明する工程図である。

1:半導体基板、2:シリコン酸化膜、3:電極、4:接線溝、5:配線接続部、6:側面、7:配線、21:絕縁膜、22:塗装電化物絕縁膜、23:レジスト膜、24:開穴パターン、25:配線接続部、27:接続配線。

代理人弁理士 松岡宏四郎

